

## DDR 存储器电气特性验证 应用文章

几乎每一个电子设备，从智能手机到服务器，都使用了某种形式的RAM存储器。尽管闪存NAND继续流行(由于各式各样的消费类电子产品的流行)，由于SDRAM为相对较低的每比特成本提供了速度和存储很好的结合，SDRAM仍然是大多数计算机以及基于计算机产品的主流存储器技术。DDR是双数据速率的SDRAM内存，已经成为今天存储器技术的选择。DDR技术的不断发展，不断提高速度和容量，同时降低成本，减小功率和存储设备的物理尺寸。

随着时钟速率和数据传输速度不断增加和性能的提高，设计工程师必须保证系统的性能指标，或确保系统内部存储器和存储器控制设备的互操作性，存储器子系统的模拟信号完整性已成为设计工程师越来越多重点考虑的问题。许多性能问题，甚至在协议层发现的问题，也可以追溯到对信号完整性问题。因此，

存储器的模拟信号完整性验证的重要性已经成为很多电子设计验证关键一步。

JEDEC(电子工程设计发展联合协会)已经明确规定存储设备详细测试要求，需要对抖动、定时和电气信号质量进行验证。测试参数：如时钟抖动、建立和保持时间、信号的过冲、信号的下冲、过渡电压等列入了JEDEC(电子工程设计发展联合协会)为存储器技术制定的测试规范。但执行规范里的这些测试是一个大大的挑战，因为进行这些测试很可能是一个复杂而又耗时的任务。拥有正确的工具和技术，可以减少测试时间，并确保最准确的测试结果。在本应用文章中，我们将讨论泰克针对存储器测试解决方案，这个方案能够帮助工程师战胜挑战和简化验证过程。

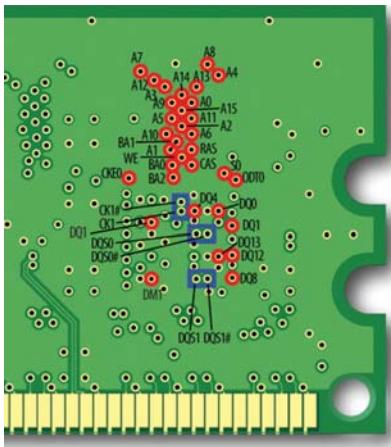


图 1. DDR3 双列直插内存模块(DIMM)“背面”的测试点

技术	JEDEC 指标(最近更新日期)
DDR	JESD79F (2008年2月)
DDR2	JESD79-2E (2008年4月)
DDR3	JESD79-3C (2008年11月)
LPDDR	JESD79-4A (2007年4月)
LPDDR2	JESD209-2 (2009年3月)

表 1. 符合 JEDEC 的 DDR 技术指标。

信号的获取和探测

存储器验证的第一个难点问题是如何探测并采集必要的信号。JEDEC 标准规定的测试应在存储器元件的 BGA(球栅阵列结构的 PCB) 上。自从 FBGA 封装组件包括一个焊球连接阵列(这是出于实际目的), 无法进入连接, 如何进行存储器的探测呢?

一种解决方案是在PCB布线过程中设计测试点，或探测存储器元件板的背面的过孔。虽然这些测试点没有严格在“存储器元件附近”，PCB(电路板)走线长度一般都比较短，对信号衰减的影响很小。当使用这种方法探测，信号完整性通常是相当不错的，可以进行电气特性的验证。

对于这种类型应用，虽然可以使用手持探头，但是在多个探头前端和测试点同时保持良好的电接触非常困难。考虑到有些

JEDEC的测量要求三个或更多的测试点,加上其它信号如芯片选择信号、RAS 和 CAS 可能需要确定存储器状态, 使用焊接式探头进行连接是许多工程师的选择。

泰克公司开发了一种探测解决方案是专为这种类型的应用设计的。P7500 系列探头有 4GHz 到 20 GHz 的带宽，是存储器验证应用的选择。图 2 说明了几个可用的 P7500 系列探头前端之一，这种探头非常适合存储器验证的这种应用。这些“微波同轴”前端在需要多个探测前端进行焊接情况时提供了有效的解决方案，同时提供优秀的信号保真度和带宽高达 4GHz，足已满足存储器 DDR3@1600MT/s 的测试需求。

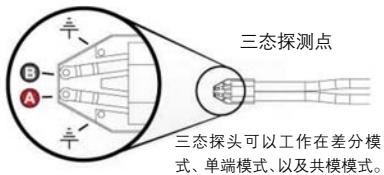


图 3. P7500 三态前端连接

P7500 系列探头针对存储器测试应用的另一个优点是泰克专利的TriMode®(三态)功能。这种独特的功能允许探头不但可以测试 + 和 - 差分信号，又可以测试单端信号。使用探头前端的三个焊接连接，用户就可以使用探头上控制按钮或在示波器菜单来对差分和单端探测模式之间的切换。这种探头对存储器调试应用是非常用的，使用焊接探头的 + 连接到单端数据或地址线，使用焊接探头的 - 连接到另一相邻线。然后用户可以使用一个探头，通过两个单端测量模式之间切换，很容易地测量其中任何两个信号。

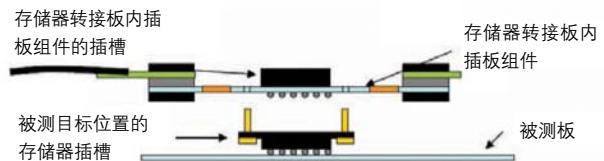


图 4. DDR 转接板内插板组件

然而，还有在很多情况下信号探测通过背面过孔可能不是一种选择。使用嵌入式存储器设计，存储器元件背面可能没有可用的板上空间。甚至很多标准的DIMM's，现在在板的两面都有存储器元件，以增加存储密度。这种情况下，测试工程师怎样才能探测到测试点呢？

幸运的是，即使这样情况，现在也有探测解决方案。泰克公司与 Nexus 科技公司合作开发了所有标准 DDR3 和 DDR2 存储器设备转接板内插板组件。这些转接板内插板使用插槽代替存储器元件连接到被测设备。在转接板有探测的测试点，然后对齐到插槽上的位置。存储器元件然后再插到转接板上。图 4 说明这种“连接”的示意图。



图 5. 带焊接前端的转接板，被测信号的眼图

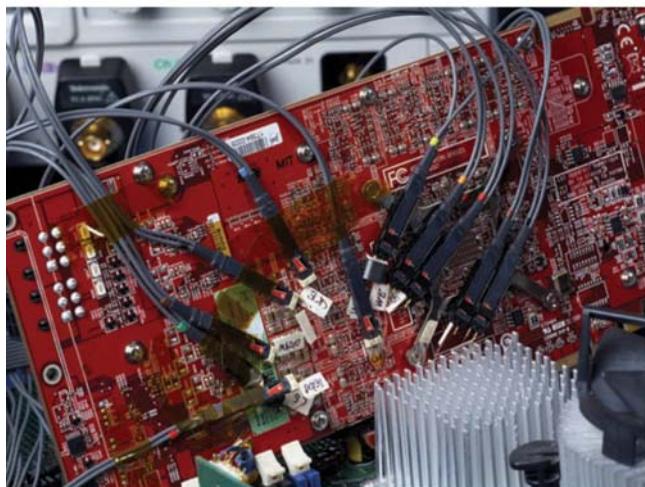
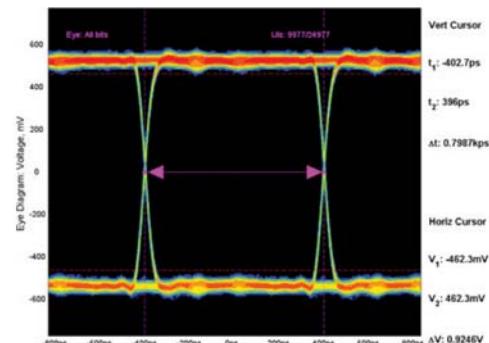


图 6. P6780 数字探头前端焊接 GDDR5 PCB

Nexus 转接独特的特点是使用专利插座和保留了每一个焊料的组成部分。这使得转接板和存储器元件任意被移除和转换其它是没有焊接和重新焊接，从而增加了灵活性性，同时也降低了由于多次焊接操作带来不稳定的电气连接的风险。

转接板内插板嵌入了小型隔离电阻，尽可能接近存储器的 BGA 焊盘。这些电阻与 P7500 系列探头前端电网络完全匹配，确保良好的信号保真度。图 5 中是使用 interposer 转接板安装在 DDR3 – 1333 DIMM 测试的眼图，采用数字滤波，消除连这一探测带来的小的模拟影响。



### 数字探测

泰克 MSO70000 系列混合信号示波器结合四个模拟通道和 16 个数字通道。除了连接到 1 或 2 个数据和时钟线，它可以连接到 DDR 命令总线信号和子序列的地址线是非常有用的。在 MSO70000 系列的 P6780 差分探头具有高带宽性能和多总线信号的探测。由于高密度布线和紧凑的封装，信号探测仍然是 DDR 内存的验证的一个挑战。

这些高性能 P6780 逻辑探头(包括各种焊接附件)的连接器、管脚、针头、轨迹、过孔等一系列都得到简化。由于 P6780 焊接探头前端，设计工程师可以根据需要添加测试点。对于任何测量设置，应注意尽量减少对测试设备的影响。P6780 焊接前端包括铁氧体磁心，以减少对线的反射。使线长度为连接需求的最小值，从而能保证更好的信号保真度。

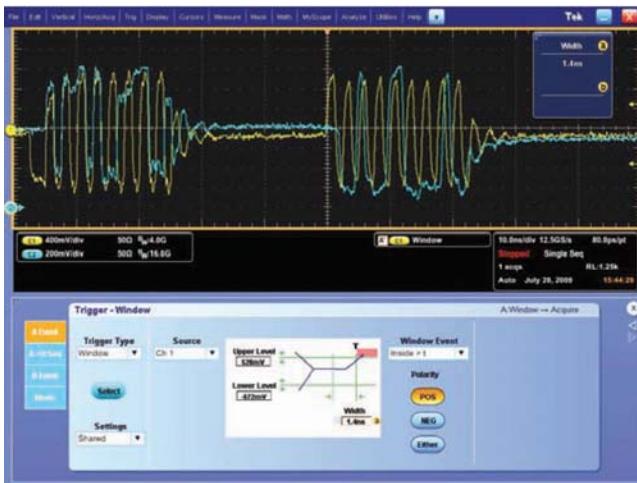


图 7. 使用《窗口》触发来确定 DQS 的写入前置码

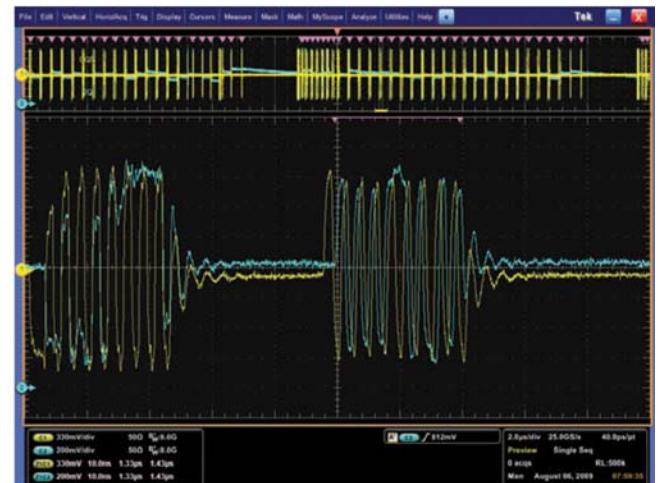


图 8. 使用高级的搜索 &amp; 标注来确定所有的写入数据

## 信号捕获

一旦信号线已成功连接好，下一步是分离存储器总线中感兴趣的事件总线。如果执行 JEDEC 的一致性测试，你可能需要对数据流中需要确认的部分进行特定的测试，如读取或写入数据。为了调试，可能有必要进一步捕获某些特定的事件，或分离某些特定数据码型，进行信号完整性问题分析，如数据相关抖动、定时、或噪声问题。

有一些方法可以用来识别和分离读 / 写数据，或其它总线。其中一个最简单的方法是使用 DQS (数据选通信号) 来确定读或写数据的开始。例如，DDR3 写入的开始，DQS 是高电平，或在读取的开始，DQS 是低电平。示波器的硬件触发功能可以触发这个数据的前置码，并保证被采集波形的开始是只读或写。图 7 显示了读取和写入数据，触发点在屏幕中间是写数据。

## 使用搜索 & 标记来确定读取 & 写入

在 DPO/DSA70000 示波器和 MSO70000 中的另一个软件工具名为高级搜索和标记功能 (选件 ASM)。ASM 可以通过扫描整个采集的波形数据，根据用户设置的条件进行搜索。这些用户定义的条件是 DDR 读 / 写识别；ASM 会在采集的波形中找到所有的读或写数据和在屏幕上用可见的标记标出每一个数据。除了使用这些标记进行视觉分析，示波器可以使用这些标记确定对 DDR 指标测量，因此这些测量仅发生在数据流的特定部分。在 DDR 测试中，在 ASM 的搜索算法利用读和写数据的相位关系是不同的；DQ 和 DQS 同相位为读阶段；DQ 和 DQS 的相位为 90 度为写。在图 8 中，在波形的上面使用粉红色三角符号来标记出所有的写数据，并在图 8 中用放大图显示一个写数据。

## 应用文章

命令	S0# (芯片选择)	RSA# (行地址选择)	CAS# (列地址选择)	WE# (写入使能)
模式寄存器	0	0	0	0
刷新	0	0	0	1
预充电	0	0	1	0
激活行	0	0	1	1
写入列	0	1	0	0
读取列	0	1	0	1
无操作	0	1	1	1
取消选择	1	X	X	X

表 2. SDRAM(同步动态随机存取存储器)命令

### 总线触发

高性能混合信号示波器提供了许多选件,利用命令状态和存储总线控制线完成对信号的捕获。SDRAM((同步动态随机存取存储器)存储器命令被同步到存储器时钟的上升沿(CK)。四个命令信号分别是芯片选择(S0 # 或CS # )、行地址选择(RAS # ),列地址选择(CAS # )和写使能(WE # )。那个 # 符号表示这些都是低电平信号有效(见表2)。存储器的命令验证需要MSO(混合信号示波器)采集适当的数据(DQ)和数据选通信号(DQS),还要去探测5个信号,CK#、S0#、RAS#、CAS#和WE#。在MSO(混合信号示波器)的数字通道菜单可以同时把5个命令信号(CK、S0#、RAS#、CAS# 和WE#)分配给探测通道。

```
# DDR SDRAM Symbol Table
#
# TSF Format      Type      Display Radix      File Radix
# ======  ======  ======  ======
#+ Version 2.1.0  PATTERN   BIN                BIN
#
#           Command Signals Pattern
#           S0# RAS# CAS# WE#
#
# Command      Command
# Symbol Name  Pattern
=====  =====
MODE_REG     0000
REFRESH      0001
PRECHARGE    0010
ACTIVATE     0011
WRITE        0100
READ         0101
NOP          0111
DESELECT     1XXX
```

图 9. DDR 符号文件实例

激活行命令是写入或读取命令序列中的第一个命令。为了在MSO中触发激活行命令,需要设置MSO命令组等于0011(S0 # = 0、RAS # = 0、CAS#= 1 和 WE # = 1)就触发,见表2所示。

处理像0011的二进制数值,可能容易出错。MSO可以处理多种格式的数据:二进制、十六进制和符号型。当一组信号定义了一个逻辑状态(如SDRAM的命令组)时,需要使用码型符号文件。基于SDRAM的命令表,如表2所示,使用微软的记事本(Notepad)打开泰克符号文件(.tsf),(见图9)。

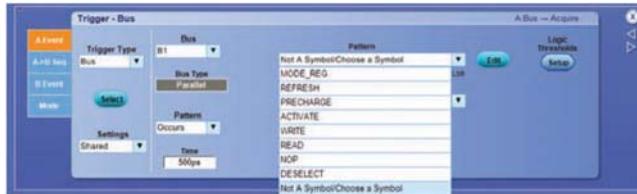


图 10. MSO70000 DDR 命令符号触发菜单



图 11. MSO70000 DDR3 命令总线解码

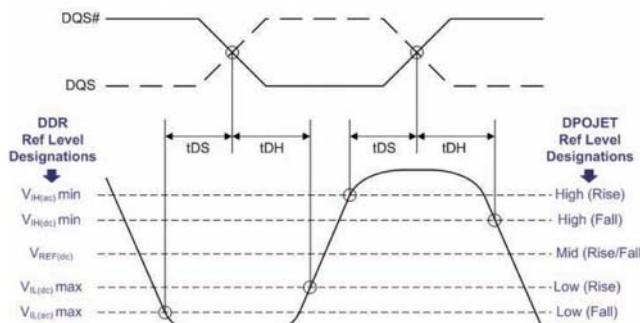


图 12. 测量参考电平

当设置MSO激活命令触发，MSO会使用码型符号(参见图10)。在MSO总线触发菜单上使用码型符号，总线的进制被更改为符号型。

### 执行 JEDEC—一致性测试

如前所述，JEDEC规范为存储器技术的一致性测试制定了具体的测试技术。这些测试包括参数：如时钟抖动、建立和保持时间、过渡电压、信号过冲和下冲、斜率和其它电信号质量测试。这些指定的测试项目不仅很多，而且使用通用的测试工具，测试非常复杂。

下面是测量参考电平的一个例子，当进行定时测量，JEDEC指定某些电压参考电平。图12的图表中显示了用于数据信号的定时测量Vih和Vil电平(包括AC和DC)。注意上升和下降沿定义的电平是有所不同。

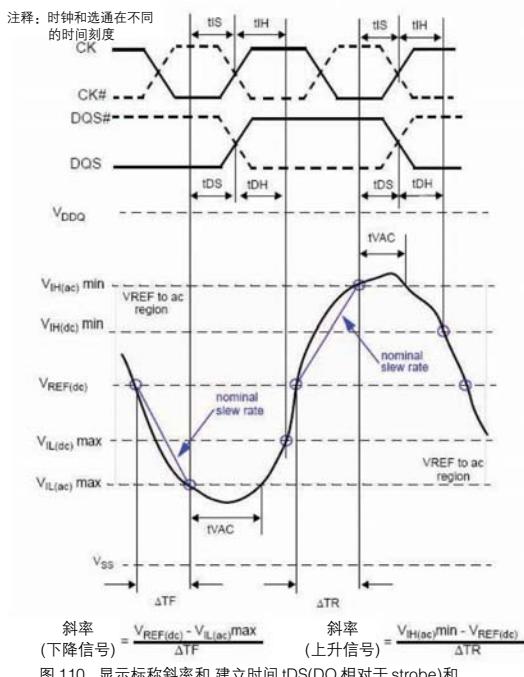
## 应用文章

JEDEC 标准号: 79-3C

第 176 页

13 电特性和 AC 定时(连续的)

13.3 地址 / 命令 建立 / 保持(连续的)



另一个例子是斜率的测量。在数据、选通信号、控制信号上必须测量斜率，然后斜率用于计算调整，如建立和保持定时测量通过 / 失败的极限测试。然而，如何进行斜率测量的细节是取决于被测信号。参见图 13：用于测量一套方法称为‘标称’方法，而不同的被测信号必须有不同的方法。

由于 JEDEC 指定测量方法、参考电平、合格 / 不合格极限测试等的复杂性，可以有一个非常有价值的应用程序对 DDR 测试制定测量工具。使用这样的实用工具，确保您的测量正确配置和消除许多时间的设置。

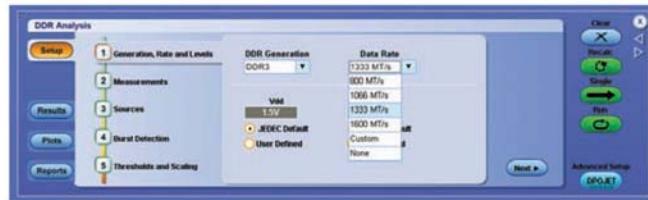


图 14. DDRA 设置界面 – 步骤 1

### DDR 分析软件

泰克实时示波器中的选件 DDRA(DPO 的泰克实时示波器 / DSA7000 系列, MSO7000 系列, DPO7000 系列)是一个软件工具，用于 DDR 设备测试设置和自动化测试。DDRA 提供的广大测量设置所有都符合 JEDEC 的规范，但对于非标准设备或系统工程，用户也可以选择自定义多个设置完成测量任务。目前此软件选件支持六种不同的 DDR 技术；DDR、DDR2、DDR3；LPDDR、LPDDR2、和 GDDR3。

选件 DDRA 连同另外泰克示波器上的另外两个软件一起使用，高级搜索 & 标记(选件 ASM，上面已描述)和 DPOJET 抖动和眼图分析工具。这三个工具结合在一起使用，建立了一个强大、灵活、且易使用的 DDR 测试和调试套件。

DDRA 菜单界面有五个步骤，这五个步骤通过选择过程引导用户。步骤界面图如图 14 所示。在这里，用户选择 DDR 类型进行测试 (DDR, DDR2 等) 和存储器的速度等级。这个例子中，下拉选择框显示了覆盖所有的 DDR 标准测试，也可以对速率达到 1600MT/s 的 DDR3 进行测试。除了缺省选择，用户可以输入用户自定义速度设置，使得软件容易适应未来技术发展。一旦 DDR 类型和数据速率被选中，DDRA 自动配置用于测量正确电压参考。这里会再次出现“用户定义”设置，允许用户不用 JEDEC 的默认值和输入用户自定义的 Vdd 和 Vref 值 (如果需要的话)。

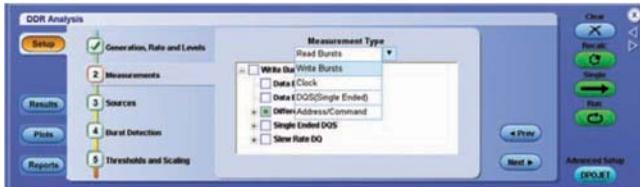


图 15. DDRA 设置界面 – 步骤 2(测量选择)

第2步允许用户选择执行哪个测量。可用的测量通过下拉菜单选择，这些选项根据信号和探测连接。例如，时钟的测量都归入一个“时钟”下拉菜单中。读测量、写测量和地址 / 命令测量都被分到各自的下拉菜单，使所有需要特定探测设置的测量可以很容易选择单一测试运行。

在 DDRA 菜单界面的其余步骤 3、4 和 5 引导你如何对所需的信号进行探测，并提供自定义或调整参数的设置(如测量参考电平)。

一旦设置完成，用户选择运行<Run>(或单次<Single>)，示波器将采集感兴趣的信号，识别和标记数据突发(如果需要的话)。使用默认的记录长度，示波器通常会采集大约 1000UI 时间间隔，对采集波形的所有的有效边缘进行测量。当测量数据，软件会自动生成眼图，DQ 和 DQS 重叠显示。在 DDRA “结果”面板显示所有测量结果的统计值、指标极限值、合格 / 不合格结果和其它数据。如果需要的话，可以生成打印报告，也可以选择保存波形数据进行测量。

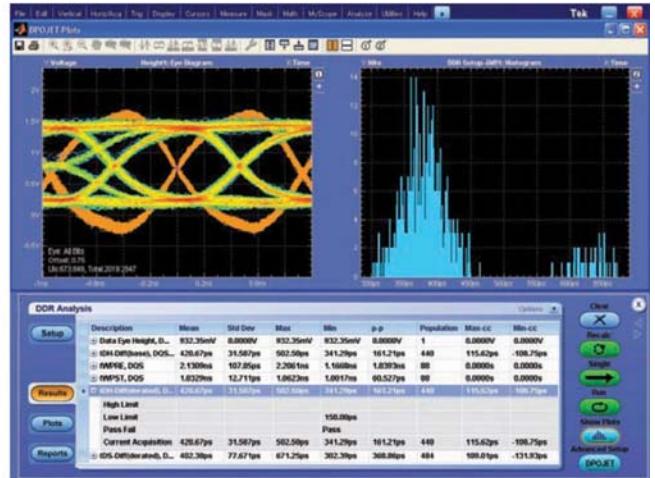


图 16. DDRA 结果界面 – 显示了两个结果图

## 失效分析和调试

由于捕获波形数据都可以用于后面的测量结果，许多可供选择对用户是非常有用的，如果一个测试不符合该规范的指标，有可能查明故障发生波形的确切位置，然后在放大感兴趣的地方，分析具体细节和故障时间的信号特征。在该软件的一些工具可以很容易地分析捕获的数据和找到感兴趣的波形位置。例如，如图 16 所示的直方图，可以应用于任何感兴趣的测量，显示最坏情况的测量值(在此例已应用到设置测量)。也可以用几个其它类型的图。如“光标同步”工具可以很容易地联系图中其对应的事件在原来的波形记录的任何数据点，并使对不同的数据显示变得十分简单，进行深入分析。

## 应用文章

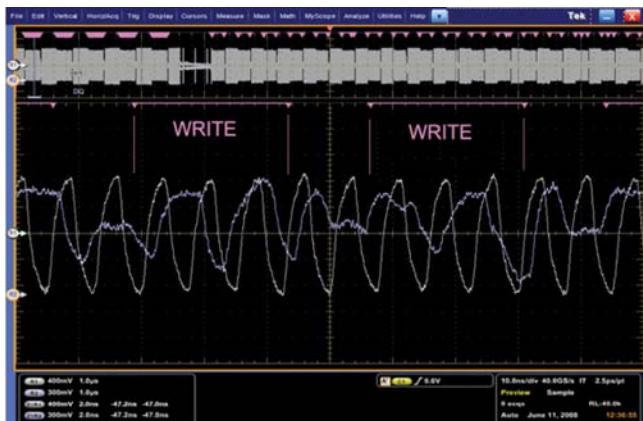


图 17. DDR3 写操作

### 验证命令和协议操作

SDRAM 写操作的协议顺序的开头是激活命令，后面跟着一条或多条写命令。带有行和组地址的激活命令会在特定组中打开特定行，进行写入和读取。带有列和组地址的写入命令会在特定组中打开的行内打开特定列，以进行写入。对访问没有打开的组的写入命令，将发生协议错误。在写入命令后，存储器在规定的存储器周期中，存储器控制器会对其写入数据。在打开的行完成写入，要访问其它行时，必需使用预充电命令关闭行。最简单的 DDR2 SDRAM 的命令协议顺序是激活、写入和预充电。连续的写入到写入顺序是：激活、多次写入和预充电。写入到读取顺序是激活、写入、读取和预充电。在打开的行上，可以采用任何写入和读取顺序。如果存储器控制器在一个行中发送了两条写命令，而在这两条写命令之间没有 deselect 命令，那么会发生 DDR2 DRAM 协议错误。DDR2 DRAM 将读取存储器控制器选通的数据，来对写命令作出响应。

另一个关键 DDR2 DRAM 指标是发送预充电命令后，发送激活命令打开一行之前的最小 tRP 时间。通过设置 MSO 预充电命令触发，测量同一组中预充电命令和激活命令之间的 tRP，就可以简便地完成这一操作。

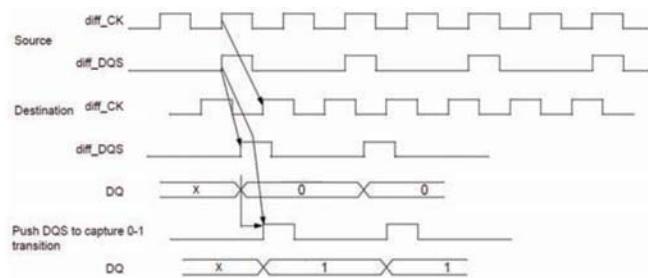


图 18. DDR3 DQS 和时钟线的时间偏差(来源：JEDEC DDR3 SDRAM 标准，JESD79 – 3C)。

这些协议和定时验证技术同样也适用于 DDR3 存储器的读/写操作。不过请注意在规范里 DDR3 多个紧接的写操作。当正在分析总线利用率，如果不采取匹配选通信号的终端逻辑，当执行隔离连续选通的写入数据，可能引起写周期合并成两个紧凑的写。

除了验证完成读或写周期操作，其它重要的验证包括：

### 基本功能测试

在模型系统初始化的时钟快速检查，复位和PLL线有助于查明任何可能的关键问题，这些问题影响到其它子系统。当从点到点地检查关键信号时，手持探头是非常有用的。

### 电源管理及其它特殊操作模式

由于总线进入和退出，电源状态的某些线可能会变为无效或打开。要认真注意这些其它的状态带来的系统互操作性的复杂性。在低功耗 DDR2(LPDDR2)，例如，器件引入了先进的电源管理技术，如局部阵列自刷新，只允许必要的存储器阵列进行工作，从而提高其效率和降低功率消耗。

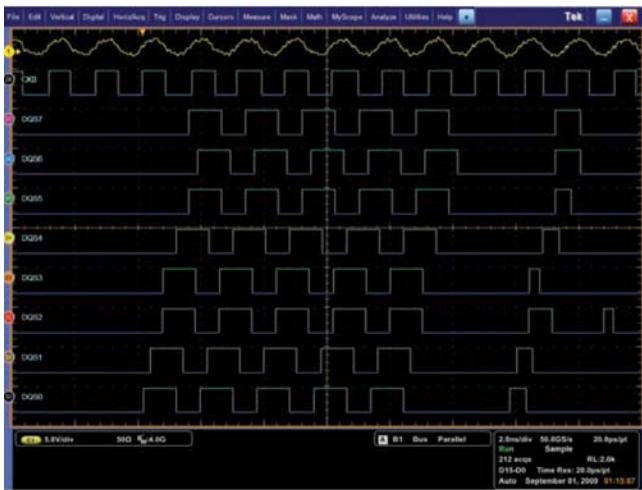


图 19. DQS0 – DQS7 相对时钟的时滞(在写操作)。



图 21. iCapture 显示了芯片选择线的模拟和数字联合观测

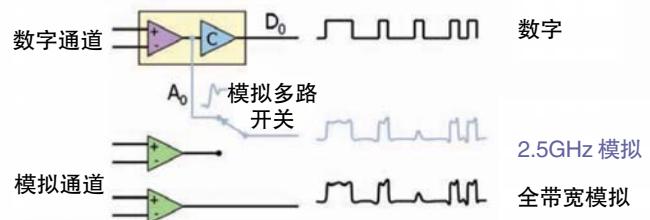


图 20. iCapture 结构

### DQ/DQS 余量

正如前面提到的许多 JEDEC 概况了符合标准的测量要求。硅和元件设计人员正在寻找不需要对基本参数测试评估就可以理解和描述进程、电压和温度范围的设计。例如：更改 Vref 或 Vdd 线和监测数据 (DQ) 和选通信号 (DQS) 的抗噪性和灵敏度，就可以使得设备工作条件更为广泛。

### 数字和模拟联合观测

如前所述，有很多方法去探测 DDR 信号，从转接内插板至到焊接探头的前端。首先需要监测多路数字信号，然后发现信号完整性问题，再增加一个探头查看其模拟信号的波形，这就是所谓的“双探测”，这是一个常见的调试方法。这种探测方法，会影响被测信号的阻抗，同时使用两个探头将会增加信号的负载效应，使信号的上升时间和下降时间、幅度和噪声性能变差。

MSO70000 的 iCapture 功能让你看到时间相关的数字和模拟信号，没有双探头探测的额外负载电容和建立时间。在 16 个数字通道，任何数字通道的信号可以被切换到示波器的模拟信号采集观测，从而提供一个时域相关的数字和模拟信号同时观测。图 21 显示了验证 GDDR5 的设计中片选线的一个简单例子。在采集数字信号时，这可以帮助确保正确的逻辑门限电平，或验证信号完整性更准确。

### 读 / 写电平

如果只是数据传输速率的变化，源同步总线带宽的增加可能比较困难。然而通过创新的物理层设计技术可以达到提高带宽。DDR3 支持飞行拓扑结构，在拓扑结构中，信号从存储器控制器按顺序方式达到每一个存储器元件，从而减少负载和改善信号完整性。由于每个存储器元件之间的延迟，存储器控制器需要执行延迟校准，重新调整时钟 (CK) 与每个组件数据选通 (DQS) 的延迟。确保做到这个操作功能正确，可以减少时钟和选通信号之间的飞行时差，从而给存储器系统提供更多的余量。

## 总结

在本应用文章中，我们已经描述了与 DDR 相关的许多测试挑战，并提出了验证和调试存储器设计的工具。关于 DDR 测试的更多细节，请访问 JEDEC 的网站 <http://www.jedec.org/> 或 <http://www.memforum.org/index.asp>。在这里您可以找到详细的 DDR 规范、白皮书，和其它辅助材料。其它关于 DDR 测试的信息可以登陆 [www.tektronix.com.cn/memory](http://www.tektronix.com.cn/memory)。本网站包括许多应用文章、网络研讨会和推荐的测试仪器。

**泰克科技(中国)有限公司**  
上海市浦东新区川桥路1227号  
邮编：201206  
电话：(86 21) 5031 2000  
传真：(86 21) 5899 3156

**泰克北京办事处**  
北京市海淀区花园路4号  
通恒大厦1楼101室  
邮编：100088  
电话：(86 10) 6235 1210/1230  
传真：(86 10) 6235 1236

**泰克上海办事处**  
上海市静安区延安中路841号  
东方海外大厦18楼1802-06室  
邮编：200040  
电话：(86 21) 6289 6908  
传真：(86 21) 6289 7267

**泰克深圳办事处**  
深圳市罗湖区深南东路5002号  
信兴广场地王商业大厦G1-02室  
邮编：518008  
电话：(86 755) 8246 0909  
传真：(86 755) 8246 1539

**泰克成都办事处**  
成都市人民南路一段86号  
城市之心23层D-F座  
邮编：610016  
电话：(86 28) 8620 3028  
传真：(86 28) 8620 3038

**泰克西安办事处**  
西安市东大街  
西安凯悦(阿房宫)饭店345室  
邮编：710001  
电话：(86 29) 8723 1794  
传真：(86 29) 8721 8549

**泰克武汉办事处**  
武汉市汉口建设大道518号  
招银大厦1611室  
邮编：430022  
电话：(86 27) 8781 2760/2831

**泰克香港办事处**  
香港铜锣湾希慎道33号  
利园3501室  
电话：(852) 2585 6688  
传真：(852) 2598 6260

### 更详尽信息

泰克公司备有内容丰富、并不断予以充实的应用文章、技术简介和其他资料，以帮助那些从事前沿技术研究的工程师们。请访问 [www.tektronix.com.cn](http://www.tektronix.com.cn)



版权所有 © 2009 泰克公司。保留所有权利。泰克公司的产品受美国和国外专利权保护，包括已发布和尚未发布的产品。以往出版的相关资料信息由本出版物所代替。泰克公司保留更改产品规格和定价的权利。TEKTRONIX 和 TEK 是泰克有限公司的注册商标。所有其他相关商标名称是各自公司的服务商标、或注册商标。

09/09 EA/POD

55C-23432-0

**Tektronix®**